

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243856

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/306

H01L 21/316

(21)Application number : 2000-038986

(71)Applicant : MOTOROLA INC

(22)Date of filing : 17.02.2000

(72)Inventor : CHEN PING
NABAKANTA HATT
TSUI PAUL G Y
DANIEL T K HAM

(30)Priority

Priority number : 99 253875

Priority date : 22.02.1999

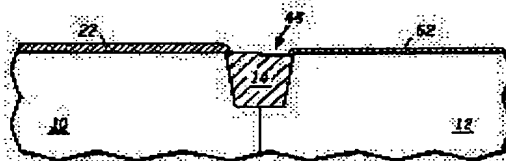
Priority country : US

(54) FORMING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a second gate dielectric layer different in thickness from a first gate dielectric layer without causing damage to the first gate dielectric layer on a semiconductor device substrate.

SOLUTION: A first dielectric layer 22 is formed on a semiconductor device substrate. A resist layer is patterned, and a part of the dielectric layer 22 is exposed. A part of the dielectric layer 22 is removed to make a part of the semiconductor device substrate exposed. The resist layer is removed. The semiconductor device substrate is cleaned without using a fluorine-containing solution. A second dielectric layer 62 is formed on the semiconductor device substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2000-243856
(P2000-243856A)
(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/8238		H01L 27/08	321 D
27/092		21/316	S
21/306		21/306	D
21/316			

審査請求 未請求 請求項の数5 O L (全7頁)

(21)出願番号 特願2000-38986(P2000-38986)
(22)出願日 平成12年2月17日(2000.2.17)
(31)優先権主張番号 253875
(32)優先日 平成11年2月22日(1999.2.22)
(33)優先権主張国 米国 (US)

(71)出願人 390009597
モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303
(72)発明者 ビン・チェン
アメリカ合衆国テキサス州ラウンド・ロッ
ク、オーク・パーク・ドライブ511
(74)代理人 100091214
弁理士 大貫 進介 (外2名)

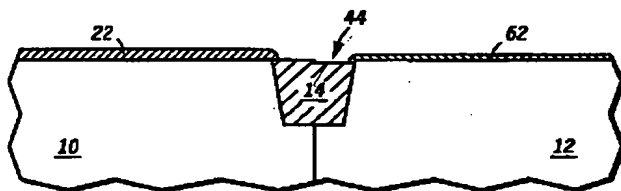
最終頁に続く

(54)【発明の名称】半導体デバイス形成方法

(57)【要約】

【課題】半導体デバイス基板の第1ゲート誘電層に害を与えずに、異なる厚さの第2ゲート誘電層を製造する方法を提供する。

【解決手段】半導体デバイス基板上に第1誘電層(22)を形成する。レジスト層(32)をパターン化して、第1誘電層(22)の一部を露出させる。第1誘電層(22)の一部を除去して、半導体デバイス基板の一部(42)を露出させる。レジスト層(32)を除去する。フッ素含有溶液を用いずに半導体デバイス基板を清浄する。半導体デバイス基板上に第2誘電層(62)を形成する。



【特許請求の範囲】

【請求項 1】 半導体デバイス形成方法であって：半導体デバイス基板上に第 1 誘電層 (16) を形成する行程；フッ化水素酸含有溶液を用いて第 1 誘電層 (16) の一部を除去する行程；半導体デバイス基板上に第 2 誘電層 (22) を形成する行程；レジスト層 (32) をパターン化して、第 2 誘電層 (22) の一部を露出させる行程；第 2 誘電層 (22) の一部を除去して、半導体デバイス基板の一部を露出させる行程；レジスト層 (32) を除去する行程；フッ素含有溶液を用いずに半導体デバイス基板を清浄する行程；ならびに半導体デバイス基板上に第 3 誘電層 (62) を形成する行程；から成る方法。

【請求項 2】 半導体デバイス形成方法であって：半導体デバイス基板上に第 1 誘電層 (22) を形成する行程；レジスト層 (32) をパターン化して、第 1 誘電層 (22) の一部を露出させる行程；第 1 誘電層 (22) の一部を除去して、半導体デバイス基板の一部 (42) を露出させる行程；レジスト層 (32) を除去する行程；レジスト層 (32) の除去後にフッ素含有溶液を用いずに半導体デバイス基板を清浄する行程；ならびに半導体デバイス基板の清浄後に半導体デバイス基板上に第 2 誘電層 (62) を形成する行程；から成る方法。

【請求項 3】 半導体デバイス形成方法であって：半導体デバイス基板上に、15 ナノメートル以下の厚さを有する第 1 誘電層 (22) を形成する行程；レジスト層 (32) をパターン化して、第 1 誘電層 (22) の一部を露出させる行程；第 1 誘電層 (22) の一部を除去して、半導体デバイス基板の一部 (42) を露出させる行程；レジスト層 (32) を除去する行程；レジスト層 (32) の除去後、第 2 誘電層 (62) の形成前に、フッ素含有溶液を用いずに半導体デバイス基板を清浄する行程であって、第 2 誘電層 (62) の厚さが約 8.0 ナノメートル以下であるところの、行程；ならびに半導体デバイス基板上に前記第 2 誘電層 (62) を形成する行程；から成る方法。

【請求項 4】 半導体デバイス形成方法であって：半導体デバイス基板上に、第 1 ゲート誘電層 (22) を形成する行程；レジスト層 (32) をパターン化して、第 1 ゲート誘電層 (22) の一部を露出させる行程；第 1 ゲート誘電層 (22) の一部を除去して、半導体デバイス基板の一部 (42) を露出させる行程；レジスト層 (32) を除去する行程；レジスト層 (32) の除去後、第 2 ゲート誘電層 (62) の形成前に、フッ素含有溶液を用いずに半導体デバイス基板を清浄する行程であって、第 2 ゲート誘電層 (62) の厚さが約 4.2 ナノメートル以下であるところの、行程；ならびに半導体デバイス基板上に前記第 2 ゲート誘電層 (62) を形成する行程；から成る方法。

【請求項 5】 半導体デバイス形成方法であって：半導

体デバイス基板上に、第 1 ゲート誘電層 (22) を形成する行程；レジスト層 (32) をパターン化して、第 1 ゲート誘電層 (22) の一部を露出させる行程；第 1 ゲート誘電層 (22) の一部を除去して、半導体デバイス基板の一部 (42) を露出させる行程；レジスト層 (32) を除去する行程；レジスト層の除去後、第 2 ゲート誘電層の形成前に、半導体デバイス基板の事前清浄を実施する行程であって、当該事前清浄に用いる溶液はフッ素含有溶液ではなく、半導体デバイス基板を硫酸および過酸化水素の溶液に晒す段階；半導体デバイス基板を水酸化アンモニウムおよび過酸化水素の溶液に晒す段階；および半導体デバイス基板を塩酸および過酸化水素の溶液に晒す段階；を含む事前清浄行程；ならびに半導体デバイス基板上に前記第 2 ゲート誘電層 (62) を形成する行程であって、第 1 ゲート誘電層 (22) の厚さと第 2 ゲート誘電層 (62) の厚さが異なる、ところの行程；から成る方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に半導体デバイス形成方法に関し、特にゲート誘電層を含む半導体デバイスの形成方法に関するものである。

【0002】

【関連する技術】異なる電位で動作する複数のトランジスタが集積回路設計中に組み込まれていくに従って、複数のゲート誘電層厚さを有する半導体デバイスがだんだん一般的になっている。例えば、不揮発性メモリ内の離れたトランジスタが異なる電位で動作可能であり、異なる電力消費および性能検討に適応する。

【0003】しかし、異なるゲート誘電層厚さを有するデバイスの製造は問題が多い。そのような 1 つの従来の方法は、典型的には約 25 ナノメートル以上の厚さの第 1 ゲート誘電層を半導体デバイス基板上に形成するものである。第 1 ゲート誘電層は、パターン化されエッチングされて、基板のある領域を露出させ、そこに続いて第 2 ゲート誘電層が形成される。レジスト除去後に、第 2 ゲート誘電層形成に先立ち、事前清浄行程が実行される。従来の事前清浄行程は典型的には、フッ化水素 (HF) 酸溶液その他の酸エッチャントを使用して、第 1 ゲート誘電層の上部をエッチして除去する。第 1 ゲート誘電層の上部は、レジスト層によって、残余の有機性又は移動性イオン汚染物を含有することがあるからである。事前清浄行程に続き、典型的には約 7~10 ナノメートルの範囲内の厚さを有する第 2 ゲート誘電層が形成される。

【0004】この事前清浄行程に伴う問題点は、第 1 ゲート誘電層の最上部分を除去するエッチングの一様性に関する。25 ナノメートル以下のゲート誘電層の場合、非一様なエッチングのために種々の厚さのゲート誘電層が生じ、結果として、降伏閾値電圧や駆動電流などのデ

10

20

30

40

50

バイスパラメータに比較的大きなばらつきがでてしまう。さらに、エッチングによって、第1ゲート誘電層にピンホールが形成されたり、表面が粗くなったりする。表面の粗さやピンホールは、ゲート誘電層が薄くなるに従い、トランジスタ動作にとってますます有害となる。

【0005】これらの問題を扱った、複数のゲート誘電層を形成する他の方法があるが、それは以下の理由により望まれないものである。そのような1つの方法は、薄いゲート誘電層を形成すべき領域に窒素をインプラントしてアニールするものである。しかし、この方法のプロセス制御およびスケーラビリティが難しい。なぜならば、インプラント条件に依存して酸化速度が著しく変化してしまうからである。他の方法として、二重ゲート集積プロセスを用いて、先ず薄いゲート誘電層およびその電極を形成し、次に厚いゲート誘電層を形成するものがある。この方法はより複雑であり高コストである。なぜならば、追加的なマスク動作を要するからである。最後の方法として、薄い窒化層を第1ゲート誘電層上に形成して、HF清浄中に第1ゲート誘電層を保護するものがある。しかし、窒化層の厚さとして約1~3ナノメートルが要求され、従来炉での窒素付着を用いることができない。故に、その付着には低いスループットの単一ウェファプロセスの使用が要求される。

【0006】

【実施例】以下に本発明の実施例について図面を参照して説明する。図面に示した素子はあくまでも例示であり、説明を明瞭にするためにスケールや寸法を誇張してある素子があり、本発明を限定するものではない。

【0007】本発明の1実施例に従い、半導体デバイス基板上に第1誘電層が形成される。レジスト層がパターン化され第1誘電層の一部を露出する。第1誘電層の一部が除去されて、半導体デバイス基板の一部を露出する。レジスト層が除去され、半導体デバイス基板がフッ化水素含有溶液を用いずに清浄化される。次に第2誘電層が半導体デバイス基板上に形成される。

【0008】図1は、本発明の一実施例に係る半導体デバイス形成方法の一部を示した基板部分の断面図である。本明細書において、半導体デバイス基板とは、単結晶半導体ウェファ、半導体オン絶縁体ウェファなど、半導体デバイス形成に用いる全ての基板を含む。図1に示すように、フィールド分離領域14が半導体デバイス基板の一部内に形成される。図1には浅いトレンチ分離を示したが、他の分離プロセスも用いることができる。約5~30ナノメートルの範囲の厚さを有する犠牲酸化層16が、半導体デバイス基板上に形成される。半導体デバイス基板は続いてパターン化されドープされて、Pウェル領域10およびNウェル領域12を画成する。

【0009】図2に示すように、犠牲酸化層16が除去され、Pウェル領域10およびNウェル領域12上に第1ゲート誘電層22が形成される。第1ゲート誘電層22

2は代表的には、熱酸化プロセスを用いて形成される。第1ゲート誘電層22の厚さは代表的には約15ナノメートル以下であり、通常は10ナノメートル以下である。一実施例では、第1ゲート誘電層22は、約5~8ナノメートルの範囲内の厚さである。第1ゲート誘電層22が引き続く化学プロセスに晒されるので、比較的濃く形成される。一実施例では、第1ゲート誘電層22は、約800度C~1000度Cの範囲の温度で、分子状酸素および塩素含有種を含む雰囲気を用いて、形成される。その塩素含有種は、塩素種が雰囲気中の体積百分率で約10%までである、塩酸(HCl)、トリクロロエタン($\text{C}_2\text{H}_2\text{Cl}_4$)その他を含む。酸化物は次に、約800度C~1000度Cの範囲の温度で、約30分間アニールされる。

【0010】第1ゲート誘電層22の形成後に、レジスト層32がパターン化され、第1ゲート誘電層22の一部が露出され、後に除去される。代表的には第1ゲート誘電層22が残る領域は、より高電位で動作するトランジスタ、またはより厚いゲート誘電層を要する特性のトランジスタを形成するために用いられる。

【0011】第1ゲート誘電層22の露出された部分は、Nウェル領域12上にあり、除去されて、図4に示すように半導体デバイス基板の表面42を露出させる。プロセス中に、フィールド分離領域14の少しの部分も除去された様子を凹部44で示す。除去は代表的には、薄いフッ化水素酸などのフッ素含有溶液を用いて実行される。この溶液は、レジスト浸食の可能性を減少させるために、スプレー酸工具(スプレー工具)に適用される。変形的には除去は、エマルジョン(emersion)槽内で実行され、あるいはプラズマエッチプロセスにて実行される。第1ゲート誘電層22の露出部分が除去された後に、図5に示すように、レジスト層32が除去される。代表的にはレジスト層は、第1ゲート誘電層22を著しく損傷しないプロセスで除去される。例えば、下流プラズマ灰(downstream plasma asher)、有機溶媒、硫酸・過酸化水素($\text{H}_2\text{SO}_4\text{-H}_2\text{O}_2$)溶液をレジスト層32の除去のために用いることができる。

【0012】次に、第2ゲート誘電層の形成に先立ち、半導体デバイス基板の事前清浄が行われる。事前清浄行程中、 $\text{H}_2\text{SO}_4\text{-H}_2\text{O}_2$ 溶液が最初用いられ、半導体デバイス基板の露出表面から残余の有機汚染物を除去する。従来技術とは異なり、事前清浄行程中に意図的な酸化エッチングは行わない。従来技術では、HF浸漬が通常用いられて、裸表面42上に自然に形成された酸化物を除去したり、レジストにより導入された汚染物を含む第1ゲート誘電層22の最上部分をエッチしたりした。本発明は、この酸化エッチング行程の必要性を排除し、かつ安定性の問題を処理したものである。故に、第1ゲート誘電層22は、事前清浄行程の一部として、フッ素含有溶液やガスに晒されることがない。

【0013】 $H_2SO_4-H_2O_2$ 溶液により基板が除去され、脱イオン水でリンスされ、水酸化アンモニア・過酸化水素 ($NH_4OH-H_2O_2$) 溶液に晒される。基板は次に、脱イオン水でリンスされ、塩酸・過酸化水素 ($HCl-H_2O_2$) 溶液に晒されて、基板表面 42 から残余の金属汚染物を除去し、脱イオン水でさらにリンスされる。

【0014】次に基板が処理されて、図 6 に示すように第 1 ゲート誘電層 22 よりも薄い第 2 ゲート誘電層 62 を形成する。代表的には第 2 ゲート誘電層 62 は熱酸化プロセスを用いて形成され、約 2 ~ 8 ナノメートルの範囲内の厚さである。第 2 ゲート誘電層 62 形成中に、第 1 ゲート誘電層 22 の厚さは、第 2 ゲート誘電層 62 の最終厚さに比例して、増加する。第 1 ゲート誘電層 22 の最終的厚さは、約 7 ~ 10 ナノメートルの範囲内にある。

【0015】第 2 ゲート誘電層 62 の形成後に、処理が続き、図 7 に示すように、ゲート電極 70、71 およびソース/ドレイン領域 76、77 を形成する。一実施例では、ポリシリコンやシリコンゲルマニウムなどの導電材料が第 1 および第 2 エーと誘電層 22、62 上に形成される。導電材料がパターン化され、エッチされてゲート電極 70、71 を形成する。ゲート電極 70、71 の側壁に沿ってスペーサ 74 が形成される。適切なマスク層およびインプラントが用いられて、ゲート 70、71 およびそれらの各ソース/ドレイン領域 76、77 をドーピングする。P ウェル領域に N 型ドーパントが用いられて、P チャネルトランジスタを形成する。N ウェル領域に P 型ドーパントが用いられて、N チャネルトランジスタを形成する。図 7 の実施例では、厚い第 1 ゲート誘電層 22 を用いて P チャネルトランジスタが形成され、薄い第 2 ゲート誘電層 62 を用いて N チャネルトランジスタが形成される。

【0016】一実施例では、ドーピングされたソース/ドレイン領域 76、77 およびゲート電極 70、71 の形成後に、それらの上にシリサイド領域 78 が形成される。シリサイド材料は、チタニウム、コバルト、モリブデンその他を含む。本実施例では、シリサイドは自己整合プロセスを用いて形成される。

【0017】トランジスタ形成に続き、図 8 に示すように、レベル間誘電層 (ILD) 82 および相互接続体 84 が形成される。レベル間誘電層 82 は代表的には、酸素、窒素、低誘電定数 (low-k) 材料その他を含む 1 又はそれ以上の層である。本明細書において低誘電定数とは、約 3.5 よりも低い誘電定数を意味する。ある実施例では、低誘電定数層は有機材料を含む。さらに、必要に応じて硬いマスクおよびキャッピング膜 (capping films) を用いて、相互接続体 84 のための開口をパターン化して形成することもできる。

【0018】相互接続体 84 は二つの部分を含む。バイア (via) 部分が比較的狭く、シリサイド領域 78 に接

触する。トレンチ部分が広く、バイア部分間の接触を可能にする。故に、トレンチは主としてレベル間誘電層内部の水平接続を形成し、一方バイアが主として導電層間の垂直接続を形成する。相互接続 84 は、アルミニウム、銅その他の導電材料を含む。ドーパントまたは合金素子を相互接続体に付加して、電気移動抵抗や他の電気的特性、信頼性特性を改良することができる。代表的には、相互接続体開口内に導電材料を形成する前に、相互接続開口内に接着/バリア膜を形成する。

【0019】相互接続体 84 の形成に続き、半導体デバイス上にパッシベーション層 86 を形成する。図 8 には示していないが、他の電氣的接続体が他のシリサイド領域 78 に接続されている。さらに、デバイスを実質的に完成させるために、他のレベル間誘電層および相互接続層を形成することができる。

【0020】本発明の多くの変形実施例が可能である。例えば、第 1 または第 2 ゲート誘電層 22、62 は、化学蒸着、物理蒸着、またはこれらの組合せなど、熱酸化以外の方法で形成することもできる。さらに、もしゲート誘電層 22、62 が上記方法の組合せを用いて形成されるならば、誘電層の第 1 部分形成後、誘電層の第 2 部分形成前にアニーリング行程を実行できる。ゲート誘電層 22、62 はさらに、高誘電定数 (high-k) 材料を含みうる。本明細書において、高誘電定数 (high-k) 材料とは、約 4.2 以上の誘電定数を持つ材料である。例えば、第 1 または第 2 ゲート誘電層 22、62 はシリコンナイトライド、シリコンオキシナイトライド、タンタルペントオキサイド、バリウムストロンチウムチタネイト、鉛ジルコネイトチタネイトその他を含みうる。変形的には、第 1 または第 2 ゲート誘電層は、窒化されたりあるいは誘電膜内に窒素を含んだりすることができる。実施例では N+ および P+ ゲート電極を示したが、ゲート電極はデバイスの所望電気特性に従って全て N+ または P+ であってもよい。ゲート電極はまた変形的には、チタニウム、チタニウムナイトライド、タンタル、タンタルナイトライド、タングステン、タングステンナイトライドその他の金属または金属含有材料で形成されても良い。さらに、トランジスタは、P 型基板、N 型基板内部に形成されても良いし、N チャネルトランジスタまたは P チャネルトランジスタのどちらかだけでも良い。

【0021】本実施例では自己整合シリサイドプロセスが用いられたが、非自己整合プロセスが用いられても良い。例えば、シリコンゲート電極層を付着した後に、ドーピング行程を実施してゲート電極層をドーピングし、続いてタングステンを付着させアニールして、タングステンシリサイドを形成することができる。タングステンシリサイド形成後に、ドーピングされたシリコンとタングステンシリサイドとの組合せをパターン化しエッチして、ゲート電極を形成することができる。さらに、ゲート電極スタックは、自己整合接触体を作るための絶縁体としてま

たは反射防止層として用いるためにシリコンナイトライドまたはシリコン豊富な層を含む。

【0022】本発明の実施例に従って、従来技術を超える多数の利点が見いだされる。第1ゲート誘電層の上方部分が事前清浄行程中に比較的エッチされないので、第1ゲート電極層は形成されたままの状態で保持される。本発明の実施例では、従来技術で遭遇したような厚さ変動、ピンホール、表面損傷の傾向がない。従って、全体的誘電膜品質が改良される。図9および図10は、そのような改良点を示している。

【0023】図9は、図8に示すゲート誘電層22として用いた3種の異なる酸化層についての累積厚さ分布百分率をプロットしたものである。線9-1は、上述した従来方法を用いて処理したゲート誘電層の厚さ分布を示す。線9-2は、本発明の実施例に従って処理したゲート誘電層の厚さ分布を示す。線9-3は、形成後にHFに晒さない単一ゲート誘電層であるコントロールサンプルの厚さ分布を示す。このプロットによれば、コントロールサンプルおよび実施例プロセスについての厚さ分布標準偏差はともに大体0.03ナノメートルであることが分かる。これは、標準偏差が大体0.12ナノメートルである従来方法と対照的である。従って、従来方法のゲート誘電層の厚さ標準偏差はコントロールや本実施例に較べて約3～4倍である。

【0024】図10は、3種の異なる層について、累積百分率対ブレイクダウン分布(QBD)を示すプロット図である。QBDはゲート誘電完全性の指標である。線10-1は、上述した従来方法を用いて処理したゲート誘電層のQBD分布を示す。線10-2は、本発明の実施例に従って処理したゲート誘電層のQBD分布を示す。線10-3は、上記コントロールサンプルのQBD分布を示す。線10-2は、実施例方法についての平均QBDが大体11クーロン毎平方センチメートルであることを示す。これは、平均大体3.5クーロン毎平方センチメートルのQBDを有する従来方法と対照的である。このプロットによれば、事前清浄中にHFを減少することにより、QBDが従来方法より約3～4のファクターだけ大きくなることが分かる。

【0025】さらに、第2ゲート誘電層事前清浄中にHFをなくすことにより、従来のHF事前清浄行程で起こったようなフィールド分離浸食の程度が減少する。事前

清浄行程中のフィールド分離浸食が少なくなることにより、図5に示す事前清浄後のフィールド分離領域14の表面プロファイルが、図4に示す事前整序羽前のフィールド分離領域14の表面プロファイルに近くなる。フィールド分離の浸食がないと、フィールド分離領域端部付近のゲート誘電層が薄くならず、信頼性が改良される。

【0026】本発明の実施例の組み込みは比較的簡単である。従来の二重ゲート誘電層プロセスとは異なり、追加的なマスキング作業を必要としない。さらに、限界的なプロセスや珍しい材料を使用しない。事前清浄と第2ゲート誘電層62の形成との間の待ち時間に限定はないが、約50時間を経過しても著しい悪影響はない。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体デバイス形成方法の一部を示した基板部分の断面図であり、ウェル形成後の様子を示している。

【図2】図1と同様な図であり、第1ゲート誘電層形成後を示している。

【図3】図1と同様な図であり、第1ゲート誘電層上にレジストを形成した後の様子を示している。

【図4】図1と同様な図であり、第1ゲート誘電層の一部を除去した後の様子を示している。

【図5】図1と同様な図であり、第2ゲート誘電層のための事前清浄行程の様子を示している。

【図6】図1と同様な図であり、第2ゲート誘電層形成後を示している。

【図7】図1と同様な図であり、基板の一部内に能動成分を形成した後の様子を示している。

【図8】図1と同様な図であり、実質的に完成したデバイスを示している。

【図9】3種の異なるゲート誘電層の厚さの比較を表したグラフである。

【図10】3種の異なるゲート誘電層の降伏電荷の分布を表したグラフである。

【符号の説明】

10, 12 半導体デバイス基板

16 第1誘電層

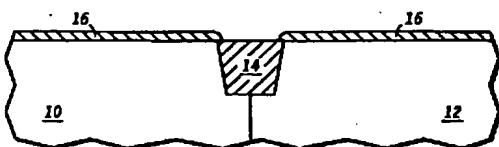
22 第2誘電層

32 レジスト層

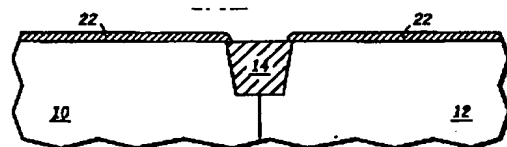
62 第3誘電層

42 半導体デバイス基板の一部

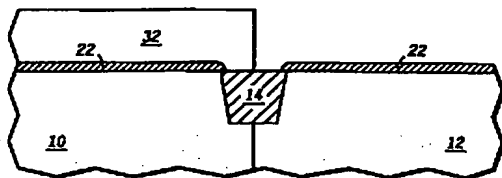
【図1】



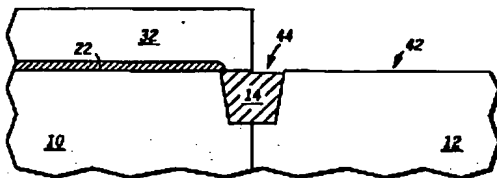
【図2】



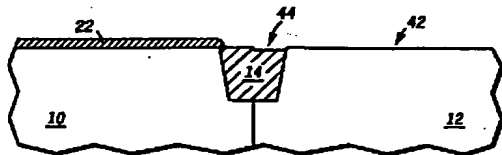
【图3】



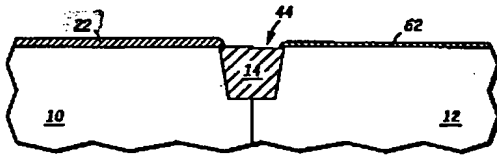
【図4】



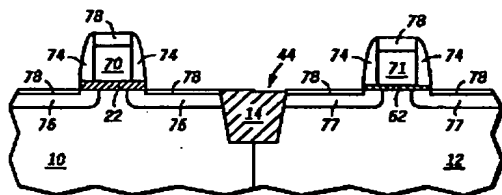
【例5】9



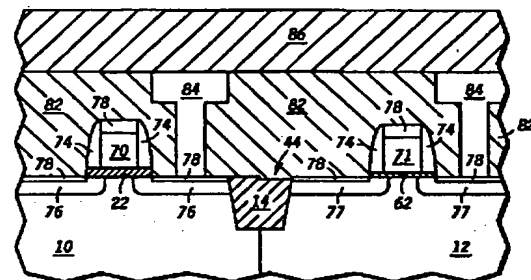
【図6】



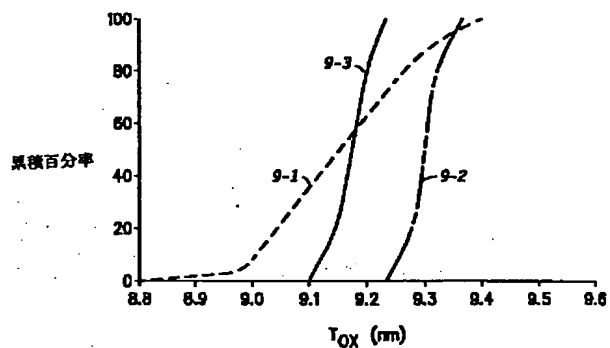
【図 7】



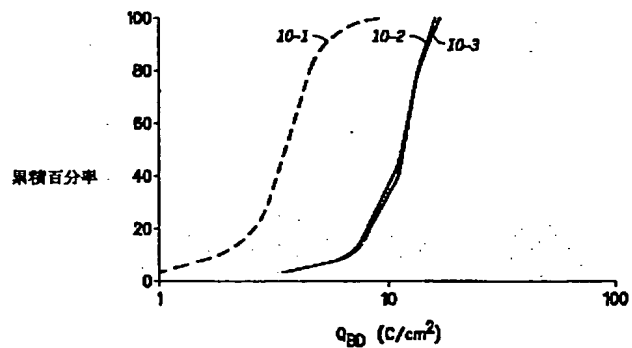
【図 8】



【図9】



【図 10】



フロントページの続き

(72)発明者 ナバカンタ・ハット
アメリカ合衆国テキサス州オースチン、ナン
バー412、シダーベンド・ドライブ2015

(72)発明者 ポール・ジー・ワイ・ツイ
アメリカ合衆国テキサス州オースチン、キ
ルゴア・レーン4104

(72)発明者 ダニエル・ティー・ケイ・ハム
アメリカ合衆国テキサス州オースチン、ア
パートメント1113、サウス・モーバク5701